

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05144834 A**

(43) Date of publication of application: 11 . 06 . 93

(51) Int. Cl.

H01L 21/331**H01L 29/73****H01L 29/165**(21) Application number: **03057090**

(22) Date of filing: 20 . 03 . 91

(71) Applicant: **HITACHI LTD**(72) Inventor:
SHOJI KENICHI
FUKAMI AKIRA
NAGANO TAKAHIRO**(54) BIPOLAR TRANSISTOR AND MANUFACTURING METHOD THEREOF**

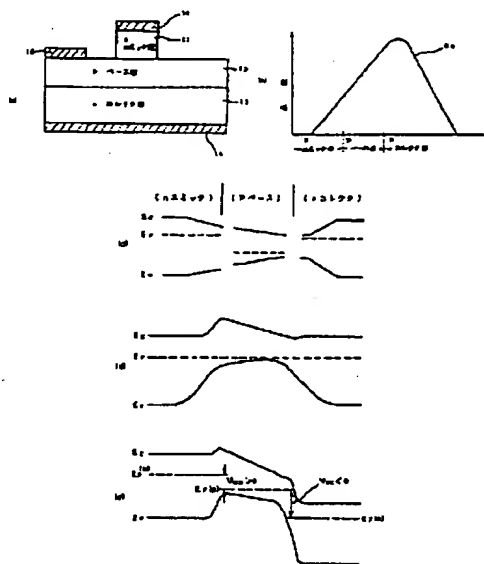
emitter region 11 to the base region 12.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To decrease the effect of misfit transfer as much as possible brought about during the formation of heterojunction to the atmost by a method wherein the energy band gap of an emitter region and a base region close to a base emitter junction is to be successively lessened in the direction from the emitter region to the base region.

CONSTITUTION: The title bipolar transistor is provided with one conductivity type collector region 13, another conductivity type base region 12 forming collector-base junction with the collector region 13 and one conductivity type emitter region 11 forming base-emitter junction with the base region 12. On the other hand, the energy band gap of the emitter region 11 and the base region close to the base-emitter junction is to be successively lessened in the direction from the emitter region 11 to the base region 12. For example, the emitter region 11 and the base region 12 close to the base-emitter junction are to be composed of a mixed crystal of Si and Ge while the concentration of Ge is to be successively increased in the direction from the



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 4 4 8 3 4

(43) 公開日 平成5年(1993)6月11日

(51) Int. Cl. ⁵

H 0 1 L 21/331
29/73
29/165

識別記号

庁内整理番号

F I

技術表示箇所

7377-4 M

H 0 1 L 29/72

審査請求 未請求 請求項の数 1 6

(全 1 6 頁)

(21) 出願番号 特願平 3 - 5 7 0 9 0

(22) 出願日 平成3年(1991)3月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 庄司 健一

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 深見 彰

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72) 発明者 長野 隆洋

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 高田 幸彦

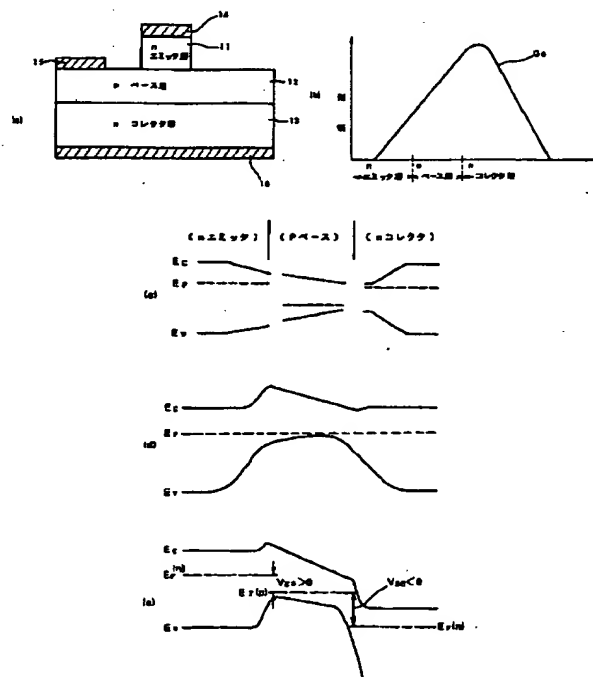
(54) 【発明の名称】 バイポーラトランジスタ及びその製造方法

(57) 【要約】

【目的】 ヘテロ界面に発生したミスフィット転位を無くし、高速動作可能なバイポーラトランジスタを提供する。

【構成】 図1は本発明の一実施例のバイポーラトランジスタを説明している。(a)は、バイポーラトランジスタの概念図、(b)は、シリコン(Si)中のゲルマニウム(Ge)の濃度分布を、(c)は、接合を形成する前のフラットバンド状態のエネルギーバンド図、(d)は、印加電圧を加える前のエネルギーバンドの状態、(e)は、印加電圧時のエネルギーバンドの状態をそれぞれ示す。本発明は(c)のように、エミッタ層11の一部からベース層12を通してコレクタ層13の一部までバンドギャップを逐次変化させる構成としている。

図 1



【特許請求の範囲】

【請求項1】一導電型半導体からなるコレクタ領域と、コレクタ領域に隣接してコレクタ領域との間にコレクタベース接合を形成する他導電型半導体からなるベース領域と、ベース領域に隣接してベース領域との間にベースエミッタ接合を形成する一導電型半導体からなるエミッタ領域とを具備し、ベースエミッタ接合近傍のエミッタ領域及びベース領域のエネルギーバンドギャップがエミッタ領域からベース領域に向う方向に逐次減少していることを特徴とするバイポーラトランジスタ。

【請求項2】一導電型シリコンからなるコレクタ領域と、コレクタ領域に隣接してコレクタ領域との間にコレクタベース接合を形成する他導電型シリコンからなるベース領域と、ベース領域に隣接してベース領域との間にベースエミッタ接合を形成する一導電型シリコンからなるエミッタ領域とを具備し、ベースエミッタ接合近傍のエミッタ領域及びベース領域にはゲルマニウムが混在し、ゲルマニウムの濃度がエミッタ領域からベース領域に向う方向に逐次増加していることを特徴とするバイポーラトランジスタ。

【請求項3】一導電型のコレクタ領域と、コレクタ領域に隣接してコレクタ領域との間にコレクタベース接合を形成する他導電型のベース領域と、ベース領域に隣接してベース領域との間にベースエミッタ接合を形成する一導電型のエミッタ領域とを具備し、エミッタ領域及びベース領域がシリコンとゲルマニウムの混晶からなり、ベースエミッタ接合近傍においてはゲルマニウムの濃度がエミッタ領域からベース領域に向う方向に逐次増加していることを特徴とするバイポーラトランジスタ。

【請求項4】エミッタ領域表面からベース領域内までシリコンより格子定数の小さい元素が含まれていることを特徴とする請求項3記載のバイポーラトランジスタ。

【請求項5】一導電型のコレクタ領域と、コレクタ領域に隣接してコレクタ領域との間にコレクタベース接合を形成する他導電型のベース領域と、ベース領域の表面から内部に延びベース領域との間にベースエミッタ接合を形成する一導電型のエミッタ領域とを具備し、エミッタ領域の周辺部を除く部分及びそれに隣接するベース領域の部分がシリコンとゲルマニウムの混晶からなり、エミッタ領域及びベース領域の残りの部分がシリコンからなり、混晶部分のゲルマニウムの濃度がエミッタ領域からベース領域に向う方向に逐次増加していることを特徴とするバイポーラトランジスタ。

【請求項6】ベース領域の混晶部分に隣接するコレクタ領域の部分がシリコンとゲルマニウムの混晶であることを特徴とする請求項5記載のバイポーラトランジスタ。

【請求項7】エミッタ領域表面からベース領域内までシリコンより格子定数の小さい元素が含まれていることを特徴とする請求項5又は請求項6記載のバイポーラトランジスタ。

【請求項8】シリコンより格子定数の小さい元素が炭素、ボロン、窒素から選ばれた少なくとも1つの元素であることを特徴とする請求項7記載のバイポーラトランジスタ。

【請求項9】一導電型シリコンからなるコレクタ領域と、コレクタ領域に隣接してコレクタ領域との間にコレクタベース接合を形成する他導電型シリコンからなるベース領域と、ベース領域の表面から内部に延びベース領域との間にベースエミッタ接合を形成する一導電型シリコンからなるエミッタ領域とを具備し、ベースエミッタ接合の露出端から離れた部分近傍のエミッタ領域及びベース領域にはゲルマニウムが混在し、ゲルマニウムの濃度がエミッタ領域からベース領域に向う方向に逐次増加していることを特徴とするバイポーラトランジスタ。

【請求項10】エミッタ領域表面からベース領域内までシリコンより格子定数の小さい元素が含まれていることを特徴とする請求項9記載のバイポーラトランジスタ。

【請求項11】一主表面側から一導電型の第1領域、他導電型で第1領域より低不純物濃度を有する第2領域、他導電型で第2領域より高不純物濃度を有する第3領域が順次形成されたシリコン基体を準備する第1の工程、シリコン基体の一主表面上に第1の開口を有するマスクを形成し、このマスクの第1の開口から少なくとも第1領域内にゲルマニウムを案内して第1領域内に一主表面から遠ざかるに従ってゲルマニウムの濃度が逐次増加するシリコンゲルマニウム混晶部分を形成する第2の工程、

シリコン基体の一主表面上の第1の開口をそれより大きい第2の開口に拡張した後、第2の開口より一導電型を呈する不純物を第1領域に案内し、第1領域との間に形成されるpn接合がシリコンゲルマニウム混晶部分に位置する一導電型の第4領域を形成する第3の工程を具備することを特徴とするバイポーラトランジスタの製造方法。

【請求項12】第2の工程において、シリコンゲルマニウム混晶部分が第1領域表面から第2領域内まで延びていることを特徴とする請求項11記載のバイポーラトランジスタの製造方法。

【請求項13】マスクの第1の開口から少なくとも第1領域内にシリコンより格子定数の小さい元素を案内する工程を具備することを特徴とする請求項11又は請求項12記載のバイポーラトランジスタの製造方法。

【請求項14】一主表面側から一導電型の第1領域、他導電型で第1領域より低不純物濃度を有する第2領域、他導電型で第2領域より高不純物濃度を有する第3領域が順次形成されたシリコン基体を準備する第1の工程、シリコン基体の一主表面上に開口を有するマスクを形成し、このマスクの開口から少なくとも第1領域内にゲルマニウムを案内して第1領域内に一主表面から遠ざかるに従ってゲルマニウムの濃度が逐次増加するシリコンゲ

10

20

30

40

50

ルマニウム混晶部分を形成する第2の工程、シリコン基体の一主表面上のマスクの開口より一導電型を呈する不純物を第1領域に案内し、第1領域との間に形成されるpn接合がシリコンゲルマニウム混晶部分に位置する一導電型の第4領域を形成する第3の工程を具備することを特徴とするバイポーラトランジスタの製造方法。

【請求項15】第2の工程において、シリコンゲルマニウム混晶部分が第1領域表面から第2領域内まで延びていることを特徴とする請求項14記載のバイポーラトランジスタの製造方法。

【請求項16】マスクの開口から少なくとも第1領域内にシリコンより格子定数の小さい元素を案内する工程を具備することを特徴とする請求項14又は請求項15記載のバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバイポーラトランジスタ、特にヘテロ接合バイポーラトランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】各世代での高集積メモリにおいて基本ゲートの遅延時間をトレンドで比較すると、CMOSゲートに対するBiCMOSゲートの優位性を今後維持していくためには、MOSトランジスタと同様にバイポーラトランジスタの性能を向上しなければならない。BiCMOSゲート回路に使用するMOSトランジスタとバイポーラトランジスタのスイッチング時間を比較すると、微細化および低電圧化の傾向に伴いMOSトランジスタはトレンドに沿った高速化が実現できるのに対して、バイポーラトランジスタは、従来技術のSi系ではスイッチング速度が鈍ってくる。

【0003】高速バイポーラトランジスタの一つに、ベース領域とエミッタ領域のバンドギャップに差をつけたヘテロ接合バイポーラトランジスタがある。ヘテロ接合バイポーラトランジスタはエミッタ・ベース接合のヘテロ界面におけるバンドギャップの段差（バリアハイト）を利用してベース領域からエミッタ領域への多数キャリアの侵入を防ぐことにより、高い電流増幅率が得られることが特徴であり、その結果従来のバイポーラトランジスタより、ある程度ベース濃度を高めに設定できるため、ベース抵抗が減少し、バイポーラトランジスタの高速化が実現できる。

【0004】従来のヘテロ接合バイポーラトランジスタの構造は、シリコンゲルマニウム混晶（ $Si_{1-x}Ge_x$ ）をベース領域に用いており、図19はその断面図を示している。図中の2は n^+ 型Siのコレクタ領域、3はp型 $Si_{1-x}Ge_x$ のベース領域、4は n^+ 型Siのエミッタ領域、5はエミッタ電極、6はベース電極、7はコレクタ電極である。このうち、ベース領域は $Si_{1-x}Ge_x$

のX値をエミッタ領域側からコレクタ領域側に向かって増加させており、エネルギーバンドギャップはエミッタ領域側からコレクタ領域側に向かって狭くなっていくため、ベース領域中に内蔵電界が形成されて、その結果、少数キャリアのベース領域内走行時間が短縮され、バイポーラトランジスタの高速化が実現できる。

【0005】シリコンゲルマニウム混晶（ $Si_{1-x}Ge_x$ ）をベースとしたヘテロ接合バイポーラトランジスタは、例えば特開平1-231371号に記載されている。

【0006】

【発明が解決しようとする課題】上記従来技術では、エミッタ領域とベース領域のバンドギャップがエミッタ・ベース接合で急峻に変化するため、バイポーラトランジスタの活性領域中にシリコンとゲルマニウムの格子不整合にもとづくミスフィット転位が発生し、バイポーラトランジスタの高速性と耐圧の低下や漏れ電流増大の問題があった。

【0007】一般に、シリコンとゲルマニウムの格子不整合系のヘテロエピタキシャル成長においては、成長層が超格子程度の薄い膜厚以下ではミスフィット転位が発生することなくコヒーレント成長し、格子不整合は成長層内の格子歪によって緩和されるが、成長層がバイポーラトランジスタを構成するための膜厚程度以上になると、格子不整合は格子歪とミスフィット転位が発生する。電気的特性に悪影響を及ぼすこのミスフィット転位の発生はSi系バイポーラトランジスタにシリコンゲルマニウム混晶（ $Si_{1-x}Ge_x$ ）というヘテロな物質を導入する上で避けられない大きな障害となっていた。

【0008】本発明の目的は、ヘテロ接合を形成する際に発生するミスフィット転位の影響を極力減少させたバイポーラトランジスタ及びそれに適した製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成する本発明バイポーラトランジスタの特徴とする構成は、ベースエミッタ接合近傍のエミッタ領域及びベース領域のエネルギーバンドギャップがエミッタ領域からベース領域に向う方向に逐次減少している点にある。

【0010】本発明バイポーラトランジスタの特徴とする構成を具体的に言えば、ベースエミッタ接合近傍のエミッタ領域及びベース領域がシリコンとゲルマニウムの混晶からなり、ゲルマニウムの濃度がエミッタ領域からベース領域に向う方向に逐次増加している点にある。シリコンとゲルマニウムの混晶領域は、ベースエミッタ接合の露出端から離れて設けるのが好ましい。更に、少なくとも混晶領域にはシリコンより格子定数の小さい元素例えば炭素、ボロン、窒素から選ばれた元素を分布させるのが好ましい。

【0011】上記目的を達成する本発明バイポーラトランジスタの製造方法の特徴とするところは、一主表面側

10

20

30

40

50

からベースとなる領域及びコレクタとなる領域が順次形成されたシリコン基体を準備する第1の工程、シリコン基体の一主表面上に開口を有するマスクを形成し、このマスクの開口から少なくともベースとなる領域内にゲルマニウムを案内して一主表面から遠ざかるに従ってゲルマニウムの濃度が逐次増加するシリコンゲルマニウム混晶部分を形成する第2の工程、及びマスクの開口より不純物を案内してベースエミッタ接合がシリコンゲルマニウム混晶部分に位置するエミッタとなる領域を形成する第3の工程を具備する点にある。この製造方法において、第3の工程におけるマスクの開口を第2の工程のそれより大きくすること、及びエミッタとなる領域にシリコンより格子定数の小さい元素を案内する工程を具備するのが望ましい。

【0012】

【作用】本発明バイポーラトランジスタは、バンドギャップをエミッタ領域側からベース領域側に向けて逐次減少させる構成となっているため、エミッタ・ベース接合におけるミスフィット転位の発生を防止することが可能であり、従来技術で問題になっていたヘテロ界面における電気的な特性の劣化、すなわち高速性の低下、耐圧の低下および漏れ電流増大の問題が無くなり、バイポーラトランジスタの高速化が促進される。また、ベース中のバンドギャップも変化させているので内蔵電界の効果によって、更にバイポーラトランジスタの高速化を促す。

【0013】更に、エミッタ領域側にバンドギャップを拡げる作用を持つ炭素(C)を導入することによって、エミッタ・ベース接合における価電子帯のバリアハイトが大きくなり、その結果、電流増幅率が向上され、バイポーラトランジスタの高速化が促進される。シリコンよりも格子定数の小さな二つの元素を導入しても炭素(C)と同様の効果が得られる。

【0014】本発明のバイポーラトランジスタは構造上において、基板表面でエミッタ領域の面積をシリコンゲルマニウム混晶($Si_{1-x}Ge_x$)部分の面積より大きくすることによって、シリコンゲルマニウム混晶領域の表面に発生するミスフィット転位からエミッタ・ベース接合を遠ざけ、転位によるバイポーラトランジスタの電気的特性劣化を抑制する効果がある。

【0015】基板表面に炭素(C)を導入することは、炭素がシリコンやゲルマニウムと同じくIV族の元素で電気的に中性であり、かつシリコンよりも格子定数が小さいためにシリコンとゲルマニウムの格子不整合による歪を緩和することによって、シリコンゲルマニウム混晶領域の表面に発生するミスフィット転位の発生を抑制する効果がある。

【0016】また、基板表面にシリコンよりも格子定数が小さい二つの元素を導入することは、結合力の強い共有結合性元素の炭素(C)よりもイオン結合性を併せもつ二つの元素(例えばボロン(B)と窒素(N))の方

がシリコンゲルマニウム混晶に対して再構成化(re-construction)が容易であるため、炭素を導入するよりもミスフィット転位の抑制により大きな効果がある。

【0017】シリコンゲルマニウム混晶ベースの横型ヘテロ接合バイポーラトランジスタにおいてベース領域の基板表面層の幅を広げることは、エミッタ・ベース接合とベース・コレクタ接合をミスフィット転位から遠ざけて、エミッタ・ベース接合における過剰電流の発生を抑制し、ベース・コレクタ接合におけるリーク電流の発生を低減する効果がある。

【0018】

【実施例】以下、本発明の実施例を図面を用いて説明する。簡単のため、NPNバイポーラトランジスタを例にとり説明するが、PNPバイポーラトランジスタの場合も同様である。

【0019】実施例1

図1は本発明のバイポーラトランジスタの一実施例を示している。図1の(a)は、バイポーラトランジスタの概念図を、(b)は、バイポーラトランジスタのシリコン(Si)中におけるゲルマニウム(Ge)の濃度分布を、(c)は、接合を形成する前のフラットバンド状態のエネルギーバンド図を、(d)は、印加電圧を加える前のエネルギーバンドの状態を、(e)は、印加電圧時のエネルギーバンドの状態をそれぞれ示す。(c)のように、エミッタ領域11の一部からベース領域12を通してコレクタ領域13の一部までバンドギャップを逐次減少させることで、エミッタ・ベース接合におけるミスフィット転位の発生を無くし、本発明におけるバイポーラトランジスタの高速性を十分に発揮させることが可能である。(a)において、14はエミッタ電極、15はベース電極、16はコレクタ電極である。

【0020】図2は図1の実施例の変形例としてのバイポーラトランジスタを示している。図2の(a)は、シリコン(Si)中におけるゲルマニウム(Ge)と炭素(C)の濃度分布を示し、(b)は、印加電圧を加える前のエネルギーバンドの状態を示している。このように炭素(C)をエミッタ領域内部に導入することによって、よりエミッタ・ベース接合付近における価電子帯のバリアハイトを大きくして、高電流増幅および高速動作可能なバイポーラトランジスタが実現される。

【0021】図3は図1の実施例の異なる変形例としてのバイポーラトランジスタを示している。(a)は、シリコン(Si)中におけるゲルマニウム(Ge)およびボロン(B)と窒素(N)の濃度分布を示している。

(b)は、印加電圧を加える前のエネルギーバンドの状態を示している。このように、シリコン(Si)よりも原子半径の小さいボロン(B)と窒素(N)をエミッタ内部に導入することによって、よりエミッタ・ベース接合付近における価電子帯のバリアハイトを大きくして、高電流増幅および高速動作可能なバイポーラトランジスタ

10

20

30

40

50

タが実現される。

実施例2

図4は本発明の他の実施例のバイポーラトランジスタの構造を示している。

【0022】(a)は平面図であり、(b)は断面図である。図4はベース領域22とエミッタ領域21中に局部的に形成されたシリコンゲルマニウム混晶($Si_{1-x}Ge_x$)領域24の表面層をエミッタ領域21が取り囲んだ構造を特徴としたバイポーラトランジスタである。主表面において、ベースエミッタ接合がミスフィット転位の発生するシリコンゲルマニウム混晶領域24より距離が離れているため、ミスフィット転位によるバイポーラトランジスタの電気的な特性の劣化を防いでいる。23はコレクタ領域、25はエミッタ電極、26はベース電極、27はコレクタ電極、28はフィールド酸化膜、291は層間絶縁用酸化膜、292は表面安定化膜である。

【0023】図5は図4のバイポーラトランジスタの製造工程を示している。

【0024】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。一方にはP型ベース領域221を形成し、他方にはコレクタ引き出し用N+型領域233を形成する。

(b)において、酸化膜291を形成して所定領域を開ロしゲルマニウムをイオン打ち込みする。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張した後で多結晶シリコン251を堆積し、エミッタ領域のドーピング用に砒素をイオン打ち込みする。そして、開口部を覆うように多結晶シリコン251を加工する。(d)において、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース領域221への多結晶シリコン中の砒素の浅い拡散を行う。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開ロして、多結晶シリコン251上にエミッタ電極252を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0025】図6は、図4の実施例の変形例としてのバイポーラトランジスタの構造を示している。(a)は平面図であり、(b)は断面図である。この変形例は図4と比べて、シリコンゲルマニウム混晶($Si_{1-x}Ge_x$)領域24がコレクタ領域23のn-コレクタ層232にまで達していることを特徴としている。シリコンゲルマニウム混晶($Si_{1-x}Ge_x$)領域24がベース領域22およびコレクタ領域23にまでまたがって存在しているため、ベースコレクタ接合に急峻なヘテロ界面が存在せず逆方向リーク電流の低減が実現される。

【0026】図7は、図6のバイポーラトランジスタの製造工程を示している。

【0027】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成し、バイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。フィールド酸化膜28のない個所にP型ベース層22、コレクタ引き出し用n+型領域233を形成する。(b)において、酸化膜291を形成して所定領域を開ロしゲルマニウムをイオン打ち込みする。この時ゲルマニウムイオンがn-コレクタ層232まで注入されるようにイオン打ち込みを行う。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張した後で多結晶シリコン251を堆積し、エミッタ領域のドーピング用に砒素をイオン打ち込みする。そして、開口部を覆うように多結晶シリコン251を加工する。(d)において、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース領域221への多結晶シリコン中の砒素の浅い拡散を行う。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開ロして、多結晶シリコン251上にエミッタ電極252を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0028】図8は、図4の実施例の他の変形例としてのバイポーラトランジスタの構造および製造工程を示している。このバイポーラトランジスタは、エミッタ領域21およびシリコンゲルマニウム混晶($Si_{1-x}Ge_x$)領域24の表面に炭素(C)を導入することを特徴としている。シリコンとゲルマニウムの格子不整合による結晶歪は、シリコンよりも格子定数の小さい炭素(C)を導入することで緩和され、その結果シリコンゲルマニウム混晶($Si_{1-x}Ge_x$)の表面層に発生するミスフィット転位の密度が減少されて多結晶シリコン251とエミッタ領域21の接合部における電気特性の向上に効果が発揮する。

【0029】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。一方にはP型ベース層221を形成し、他方にはコレクタ引き出し用N+型領域233を形成する。

(b)において、酸化膜291を形成して所定領域を開ロしゲルマニウムをイオン打ち込みし、さらに結晶歪緩和用の炭素(C)をイオン打ち込みする。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張した後で多結晶シリコン251を堆積し、エミッタドーピング用の砒素をイオン打ち込みし、開口部を覆うように多結晶シリコン251を加工する。(d)において、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース層221への多結晶シリコン中の砒素の浅い拡散を行う。この時、表面層に炭素(C)の含まれた $Si_{1-x}Ge_x$:Cからなる拡散層が形成される。最後に層間絶縁

用酸化膜291と表面安定化膜292の所定領域211を開口して、多結晶シリコン251上にエミッタ電極25を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0030】図9は、図4の実施例の更に異なる変形例としてのバイポーラトランジスタの構造および製造工程を示している。このバイポーラトランジスタは、エミッタ領域21およびシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域24の表面にボロン(B)と窒素(N)を導入することを特徴としている。シリコンとゲルマニウムの格子不整合による結晶歪は、シリコンよりも格子定数の小さいBとNを導入することで緩和され、その結果シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)の表面層に発生するミスフィット転位の密度が減少されて多結晶シリコン11とエミッタ領域13の接合部における電気特性の向上に効果を発揮する。

【0031】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。一方にはP型ベース層221を形成し、他方にはコレクタ引き出し用n+型領域233を形成する。

(b)において、酸化膜291を形成して所定領域を開口しゲルマニウムをイオン打ち込みし、さらに結晶歪緩和用のBとNをイオン打ち込みする。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張した後で多結晶シリコン251を堆積し、エミッタドーピング用の砒素をイオン打ち込みし、開口部を覆うように多結晶シリコン251を加工する。(d)において、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース層221への多結晶シリコン中の砒素の浅い拡散を行う。この時、表面層にB、Nの含まれた $\text{Si}_{1-x}\text{Ge}_x$:BNからなる拡散層211が形成される。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開口して、多結晶シリコン251上にエミッタ電極25を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0032】図10は、図4の実施例の更に他の変形例としてのバイポーラトランジスタの構造および製造工程を示している。このバイポーラトランジスタは、エミッタ領域およびシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域の表面に炭素(C)を導入することを特徴としている。シリコンとゲルマニウムの格子不整合による結晶歪は、シリコンよりも格子定数の小さい炭素(C)を導入することで緩和され、その結果シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)の表面層に発生するミスフィット転位の密度が減少されて多結晶シリコン251とエミッタ領域21の接合部における電気特性の向上に効果を発揮す

る。さらに、表面層のミスフィット転位の減少に伴い、エミッタ領域およびシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域の表面側の面積の大きさを同一にしてもベースエミッタ接合はさほどミスフィット転位による悪影響を受けないため、本実施例では両者の面積を同じくしている。この結果、エミッタの開口部を拡張する工程が削除できるため、工程の簡略化が可能となった。

【0033】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜291を形成する。一方にはP型ベース層221を形成し、他方にはコレクタ引き出し用N+型領域233を形成する。

(b)において、酸化膜291を形成して所定領域を開口しゲルマニウムをイオン打ち込みする。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張することなく、多結晶シリコン251を堆積し、エミッタドーピング用の砒素と結晶歪緩和用の炭素(C)をイオン打ち込みする。そして、開口部を覆うように多結晶シリコン251を加工する。

(d)において、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース層221への多結晶シリコン中の砒素の浅い拡散を行う。この時、表面層211に炭素(C)の含まれた $\text{Si}_{1-x}\text{Ge}_x$:Cからなる拡散層24が形成される。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開口して、多結晶シリコン251上にエミッタ電極25を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0034】なお、炭素(C)の代わりにシリコンよりも格子定数の小さいボロン(B)と窒素(N)の二元素を用いた方が、より大きな効果が期待できる。

【0035】図11は、図4の実施例の別の変形例としてのバイポーラトランジスタ構造および製造工程を示している。このバイポーラトランジスタは、エミッタ領域およびシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域の表面に炭素(C)を導入することを特徴としている。図3、4、5及び6と同様に、シリコンとゲルマニウムの格子不整合による結晶歪は、シリコンよりも格子定数の小さい炭素(C)を導入することで緩和され、その結果シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)24の表面層に発生するミスフィット転位の密度が減少されて多結晶シリコン251とエミッタ領域21の接合部における電気特性の向上に効果を発揮する。ただし、図10との相違は炭素(C)を導入する工程とエミッタ領域21を形成する工程の順序が逆になっている点であり、このことによって、ゲルマニウム(Ge)と炭素(C)を同時に結晶化することが出来るため、 $\text{Si}_{1-x}\text{Ge}_x$:Cからなる層の結晶性が向上し、炭素(C)を導入する効果がより顕著になる。さらに炭素(C)を導入することにより、傾

域24の表面層のミスフィット転位が極度に減少し、エミッタ領域21およびシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域24の表面側の面積の大きさを同一にしてもベースエミッタ接合はさほど表面に発生するミスフィット転位による悪影響を受けないため、この例では両者の面積を同じくしている。この結果、エミッタの開口部を拡張する工程が削除できるため、工程の簡略化が可能となった。

【0036】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。酸化膜28をマスクにしてP型ベース層221及びコレクタ引き出し用n+型領域233を形成する。

(b)において、酸化膜291を形成して所定領域を開口しゲルマニウムをイオン打ち込みする。(c)において、外部へのベース引き出し領域222を形成して酸化膜291の開口部を拡張することなしに、結晶歪緩和用の炭素(C)をイオン打ち込みする。さらに、熱処理によって結晶化を行う。この時、表面層に炭素(C)の含まれた $\text{Si}_{1-x}\text{Ge}_x$:Cからなる拡散層が形成される。

(d)において、多結晶シリコン251を堆積し、エミッタドーピング用の砒素をイオン打ち込みする。そして、開口部を覆うように多結晶シリコン251を加工する。さらに、表面安定化膜292を被膜後、熱処理をして打ち込まれたイオンの活性化およびベース層221への多結晶シリコン中の砒素の浅い拡散を行う。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開口して、多結晶シリコン251上にエミッタ電極251を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0037】なお、炭素(C)の代わりにシリコンよりも格子定数の小さいボロン(B)と窒素(N)の二元素を用いた方が、より大きな効果が期待できる。

【0038】実施例3

図12は他の実施例のバイポーラトランジスタの製造工程を示している。

【0039】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。酸化膜28をマスクにしてコレクタ引き出し用N+型領域233を形成する。(b)において、酸化膜291をn-コレクタ層232上に形成した後、その上にホトレジスト膜PRを被着形成する。次に、レジスト膜PRに所定パターンの開口部を形成し、このレジスト膜PRをマスクとして保護酸化膜290をエッチングする。さらにその下のn-コレクタ層232を異方性エッチングしてn-コレクタ層232に溝を形成する。(c)において、レジスト膜PRを除去した後に、シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)をCVD技術を用いて溝

を埋めるように選択エピタキシャル成長させてシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域24を形成し、酸化膜290を一端除去してから、P型ベース層221を形成する。(d)において、外部へのベース引き出し領域222を形成して、再び酸化膜291を形成してから、所定領域を開口した後で多結晶シリコン251を堆積し、エミッタのドーピング用に砒素をイオン打ち込みする。そして、開口部を覆うように多結晶シリコン251を加工する。表面安定化膜292を被着後、熱処理をして打ち込まれたイオンの活性化およびベース層221への多結晶シリコン中の砒素の浅い拡散を行う。最後に層間絶縁用酸化膜291と表面安定化膜292の所定領域を開口して、多結晶シリコン251上にエミッタ電極252を、外部ベース引き出し領域222上にベース電極26を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0040】実施例4

図13は、本発明の更に他の実施例のバイポーラトランジスタの構造を示している。(a)は平面図、(b)は断面図である。本実施例は図3と比べて、ベース領域がセルフラインで形成されていることを特徴としている。したがって、ベース領域221、ベース電極引き出し領域222等のバイポーラトランジスタの主要部が大幅に微細化可能である。また、この微細化に伴いバイポーラトランジスタのスイッチング速度を妨害するコレクタベース接合容量およびベース抵抗を減少することが出来る。

【0041】図14は、本実施例のバイポーラトランジスタの製造工程を示している。

【0042】(a)において、Si基板20上にn+埋込層231とn-コレクタ層232を形成しバイポーラトランジスタの能動領域上にフィールド酸化膜28を形成する。酸化膜28をマスクとしてコレクタ引き出し用n+型領域233を形成する。また、同様に多結晶シリコン261を堆積し、その上に酸化膜291を被着し、所定の開口部を形成した後、コレクタ引き出し用N+型領域233の開口部にのみレジスト膜PRを被着し、ベース層形成用のボロン(B)をイオン打ち込みする。

(b)において、ベース層221上の開口部の側面に酸化膜からなるサイドウォールSW1と、さらにその上に窒化膜からなるサイドウォールSW2を形成後、ゲルマニウムをイオン打ち込みする。(c)において、窒化膜からなるサイドウォールSW2を除去した後に多結晶シリコン251を堆積しエミッタ領域のドーピング用に砒素をイオン打ち込みする。その後、開口部を覆うように多結晶シリコン251を加工する。この後、熱処理によって自己整合的にベース層221とエミッタ領域21が形成される。この時、ベース領域の外部引き出し領域222も同時に形成される。(d)において、表面安定化膜292を被着後、層間絶縁用酸化膜291と表面安定化膜

292の所定領域を開口して、多結晶シリコン251上にエミッタ電極252を、外部ベース引き出し領域222上に多結晶シリコン261を介してベース電極262を、さらにコレクタ引き出し領域233上にコレクタ電極27を形成する。

【0043】実施例5

図15は、前記バイポーラトランジスタを適用したBiCMOS基本ゲート(2NAND)回路を示している。(a)は回路図を、(b)はセルの一断面構造を示している。30は前記バイポーラトランジスタであり、31はpチャネル型のMOSトランジスタで、32はnチャネル型のMOSトランジスタである。前記バイポーラトランジスタを用いることによって、より高速な回路動作が実現できる。また、前記バイポーラトランジスタは、低電源電圧においても高速性を維持できるため、該基本ゲート回路は低電源電圧時にも高速に動作する。

【0044】実施例6

図16は、前記バイポーラトランジスタを適用したECL(NOR側出力のみ使用)ゲートアレイの回路図を示している。図は2入力NOR用の回路図を示している。6個のバイポーラトランジスタはすべて本発明によるものである。ECL回路は、カレント・スイッチ回路に負荷の駆動能力を向上させるために付加したエミッタホロワ・トランジスタにより構成された高速デジタル回路である。前記バイポーラトランジスタを用いることで、その高速性をより向上させることが可能である。また、前記バイポーラトランジスタは、低電源電圧においても高速性を維持できるため、該基本ゲート回路は低電源電圧時にも高速に動作する。

【0045】実施例7

図17は、前記バイポーラトランジスタを適用したクランプ型メモリセルを説明している。(a)は回路図を、(b)は断面構造を示している。図中の40はショットキーバリア・ダイオード(SBD)を、41は負荷抵抗を示している。前記バイポーラトランジスタ42を用いることで、メモリセルの動作をより高速化することが可能である。また、前記バイポーラトランジスタは、低電源電圧においても高速性を維持できるため、該基本ゲート回路は低電源電圧時にも高速に動作する。

【0046】実施例8

図18は、前記バイポーラトランジスタを適用したマイクロプロセッサの構成を示した図である。マイクロプロセッサは、周知のように命令受取り用のC-キャッシュメモリ51、デコーダ部54、デコーダ部の出力信号に基づいて演算処理を実行して出力するデータ・ストラクチャ(Data Structure; DS)マクロセル55、演算結果を格納するD-キャッシュメモリ52、演算後の次の命令をキャッシュメモリ51から読み出すためのアドレスを指定するデータ・トランジスタ・ルックアッサイド・バッファ(Transistor Look-aside Buffer; C-TL

B)53a、演算結果の論理アドレスをD-キャッシュ52の物理アドレスに変換してデータ格納アドレスを指定するD-TLB53bによって構成されている。

【0047】近年のマイクロプロセッサでは、メモリセル以外の演算を実行する部分にはBiCMOS論理ゲート回路が用いられているので、当該部分に前記バイポーラトランジスタを適用すれば、より高速なマイクロプロセッサを実現できる。また、前記バイポーラトランジスタは、低電源電圧においても高速性を維持できるため、電源電圧が低下しても高速に動作する低消費電力型のマイクロプロセッサを実現できる。

【0048】

【発明の効果】本発明は、以上説明したように構成されているので以下に記載されるような効果を奏する。

【0049】バンドギャップをエミッタ領域の一部からベース領域内部に向けて逐次減少させることで、エミッタ・ベース接合におけるミスフィット転位の発生を防止することが可能であり、従来技術で問題になっていたヘテロ界面における電氣的な特性の劣化が無くなり、バイポーラトランジスタの高速化が促進される。また、ベース領域中のバンドギャップも変化させるので内蔵電界の効果によっても、バイポーラトランジスタの高速化を促す。

【0050】また、エミッタ領域側にバンドギャップを拡げる作用を持つ炭素(C)または、シリコン(Si)よりも原子半径の小さいボロン(B)と窒素(N)を導入することによって、エミッタ・ベース接合付近における価電子帯のバリアハイトが大きくなり、その結果、電流増幅率が向上され、バイポーラトランジスタの高速化が促進される。

【0051】略同寸法以下のシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)をエミッタ領域直下とその内部に設けることによって、シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)が局所化されることになり、格子不整合によるミスフィット転位の密度が減少されてバイポーラトランジスタの電氣的特性に及ぼされるミスフィット転位の影響を緩和することができる。

【0052】基板表面において、エミッタ領域の面積をシリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域の面積より大きくすることによって、シリコンゲルマニウム混晶($\text{Si}_{1-x}\text{Ge}_x$)領域の表面に発生するミスフィット転位からエミッタ・ベース接合を遠ざけ、ミスフィット転位によるバイポーラトランジスタの電氣的特性の劣化を抑制することができる。

【0053】基板表面に炭素(C)を導入することは、炭素がシリコンやゲルマニウムと同じくIV族の元素で電氣的に中性であり、かつシリコンよりも格子定数が小さいためにシリコンとゲルマニウムの格子不整合による歪を緩和することによって、シリコンゲルマニウム混晶領域の表面に発生するミスフィット転位の発生を抑制する

効果がある。

【0054】基板表面にシリコンよりも格子定数が小さい二つの元素を導入することは、結合力の強い共有結合性元素の炭素(C)よりもイオン結合性を併せもつ二つの元素(例えばボロン(B)と窒素(N))の方がシリコンゲルマニウム混晶に対して再構成化が容易であるため、炭素を導入するよりもミスフィット転位の抑制により大きな効果がある。

【0055】シリコンゲルマニウムベース横型ヘテロ接合バイポーラトランジスタにおいてベース領域の基板表面層の幅を広げることは、エミッタ・ベース接合とベース・コレクタ接合をミスフィット転位から遠ざけて、エミッタ・ベース接合における過剰電流の発生を抑止し、ベース・コレクタ接合におけるリーク電流の発生を低減する効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のバイポーラトランジスタの概念図、ゲルマニウム濃度分布図及びエネルギーバンド図。

【図2】図1の実施例の変形例としてのバイポーラトランジスタの濃度分布図及びエネルギーバンド図。

【図3】図1の実施例の異なる変形例としてのバイポーラトランジスタの濃度分布図及びエネルギーバンド図。

【図4】本発明の他の実施例のバイポーラトランジスタの平面図及び断面図。

【図5】図4のバイポーラトランジスタの製造工程図。

【図6】図4の実施例の変形例としてのバイポーラトランジスタの平面図及び断面図。

【図7】図6のバイポーラトランジスタの製造工程図。

【図8】図4の実施例の変形例としてのバイポーラトランジスタの製造工程図。

【図9】図4の実施例の更に異なる変形例としてのバイポーラトランジスタの製造工程図。

【図10】図4の実施例の更に他の変形例としてのバイポーラトランジスタの製造工程図。

【図11】図4の実施例の別の変形例としてのバイポーラトランジスタの製造工程図。

【図12】本発明の他の実施例のバイポーラトランジスタの製造工程図。

【図13】本発明の更に他の実施例のバイポーラトランジスタの平面図及び断面図。

【図14】図13のバイポーラトランジスタの製造工程図。

【図15】本発明バイポーラトランジスタを使用したBiCMOS基本ゲート(2NAND)回路及びセルの断面図。

【図16】本発明バイポーラトランジスタを使用したECL(NOR側出力のみ使用)ゲートアレイの2入力NOR用の回路図。

【図17】本発明バイポーラトランジスタを使用したクランプ型メモリセルの回路図及びメモリセルの断面図。

【図18】本発明バイポーラトランジスタを適用したマイクロプロセッサの平面図。

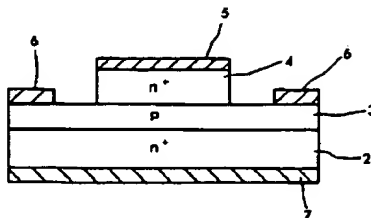
【図19】公知例のバイポーラトランジスタの概略図である。

【符号の説明】

20…Si基板、21…エミッタ領域、24…シリコンゲルマニウム混晶($Si_{1-x}Ge_x$)領域、25…エミッタ電極、26…ベース電極、27…コレクタ電極、28…フィールド酸化膜、221…ベース層、222…ベース引き出し領域、231…コレクタ埋込層、232…n-コレクタ層、233…コレクタ引き出し領域、291…層間絶縁膜、292…表面安定化膜。

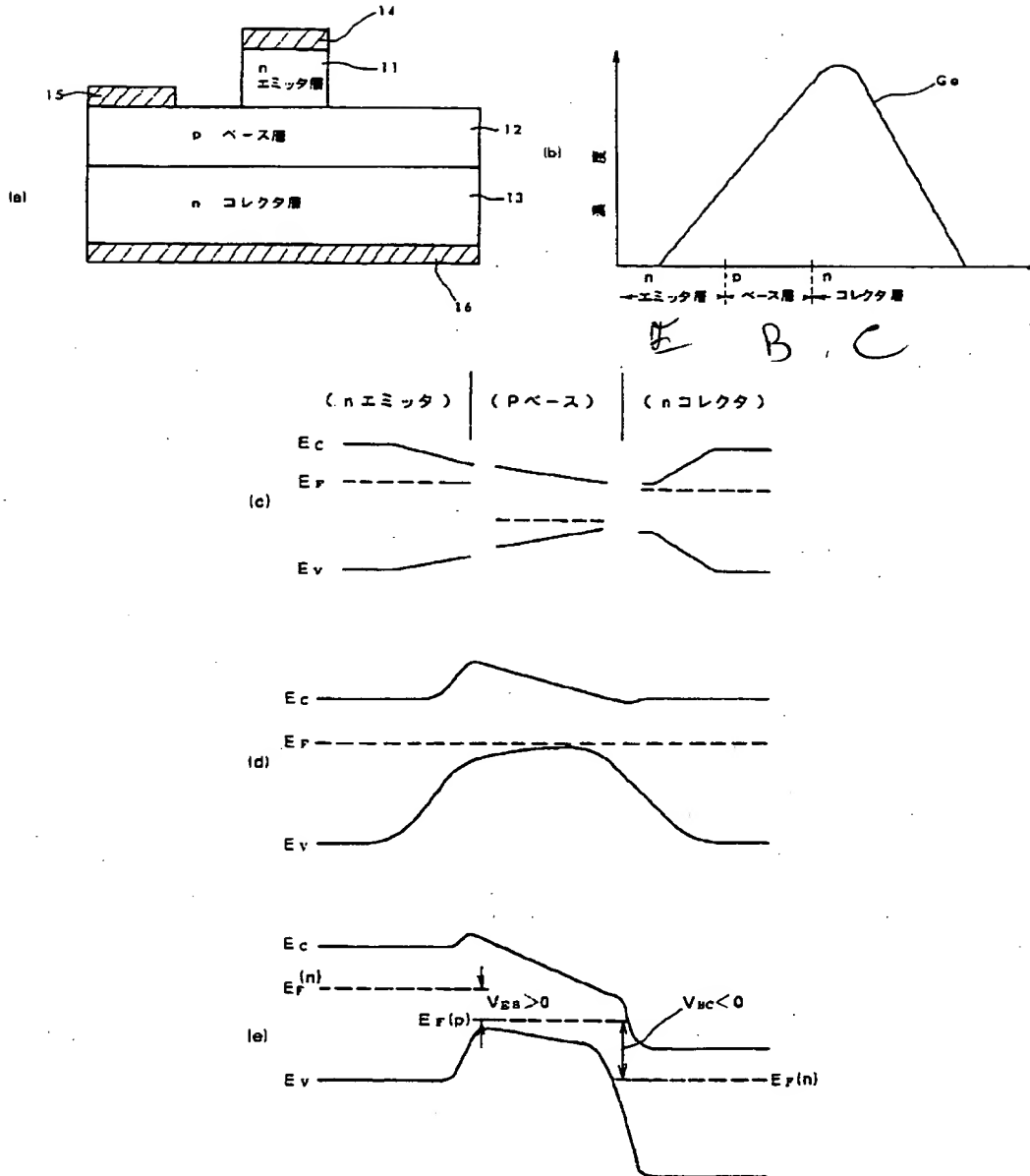
【図19】

図 19



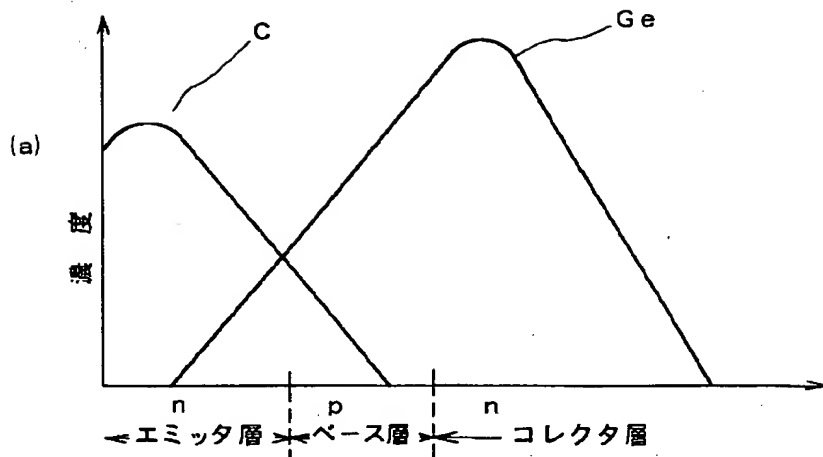
【図1】

図 1



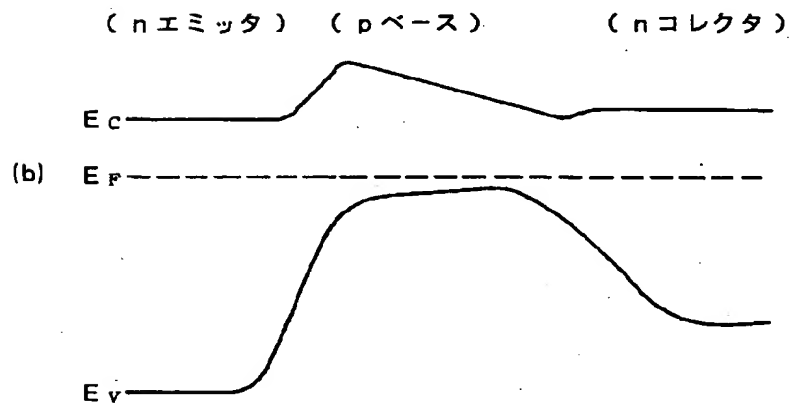
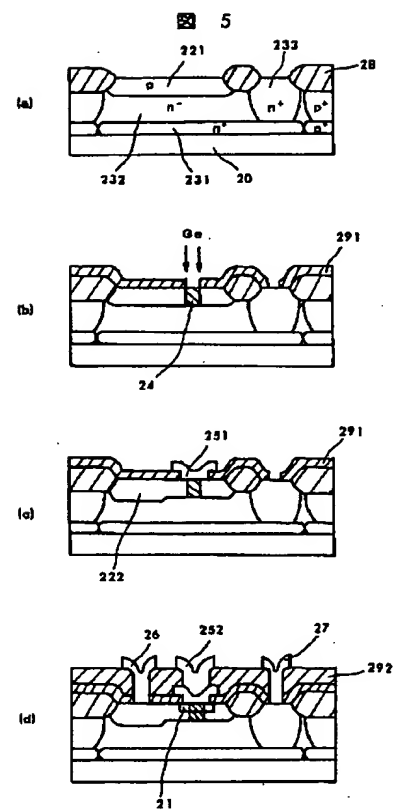
【図2】

図 2



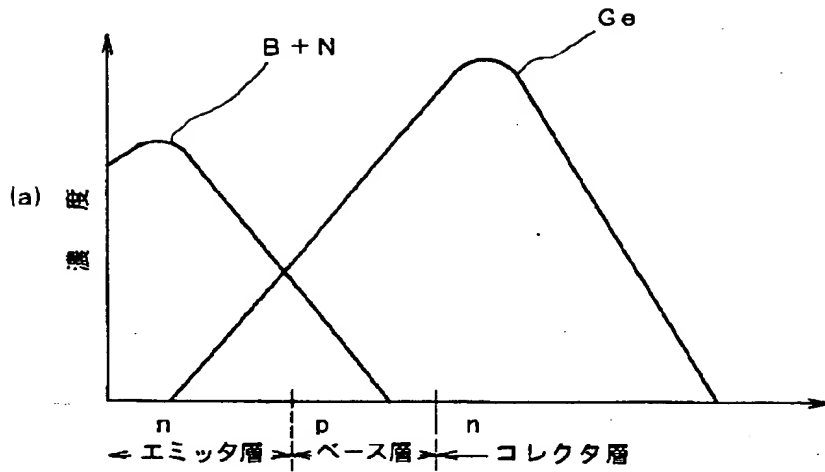
【図5】

図 5



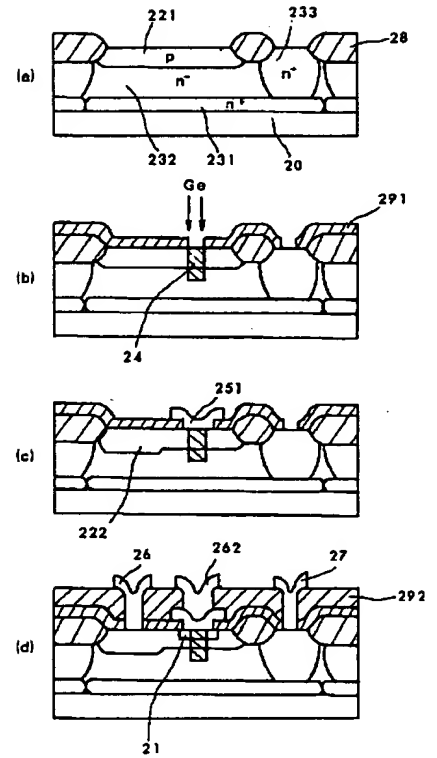
【図3】

図 3



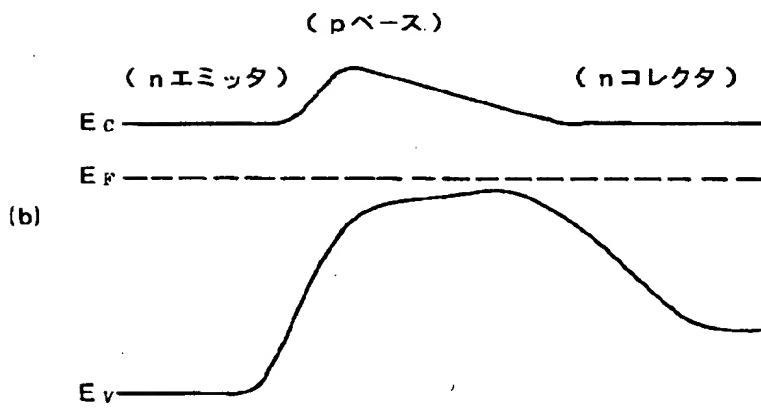
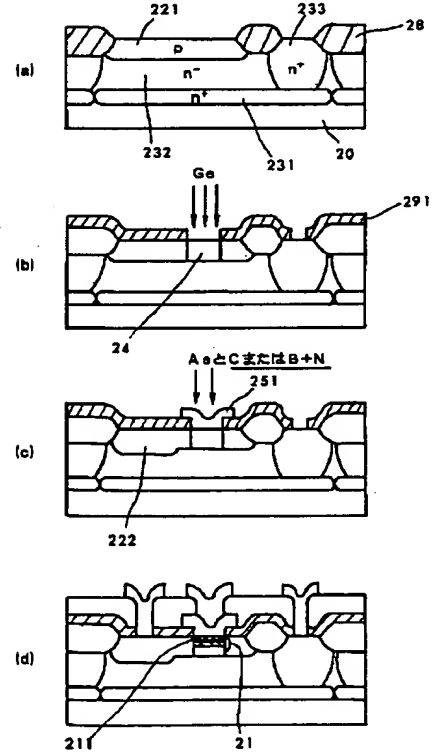
【図7】

図 7



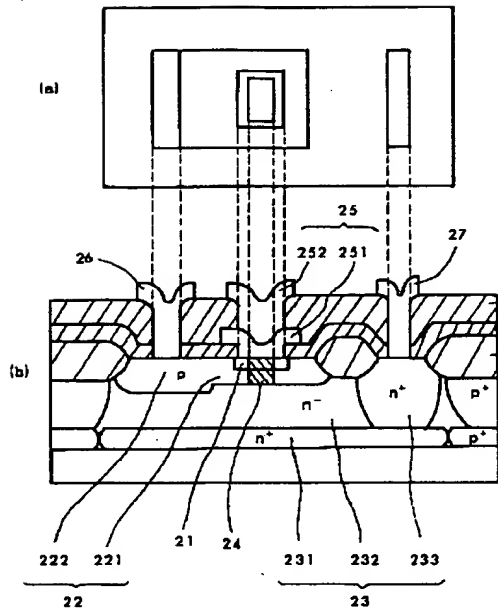
【図10】

図 10



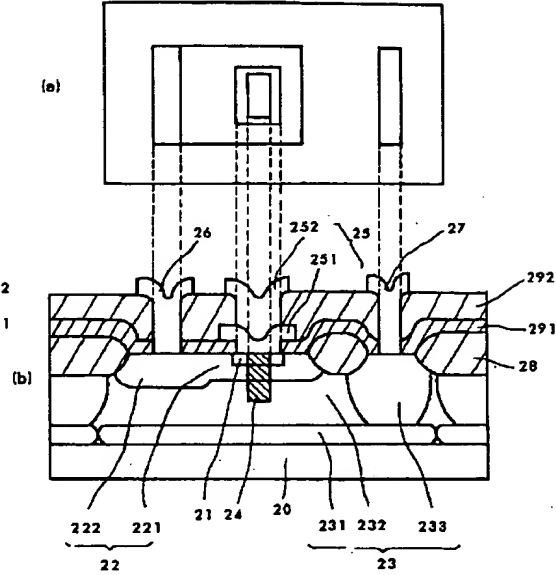
【図4】

図 4



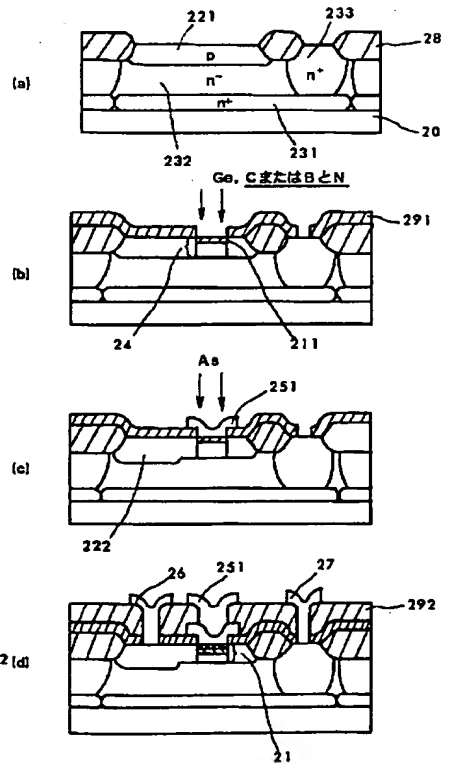
【図6】

図 6



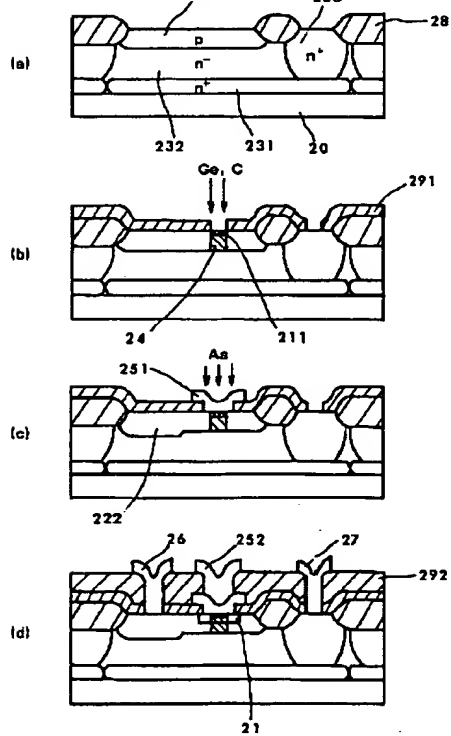
【図11】

図 11



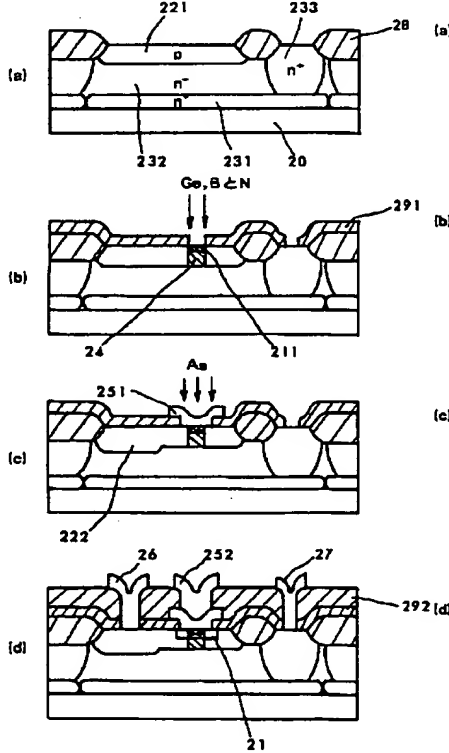
【図8】

図 8



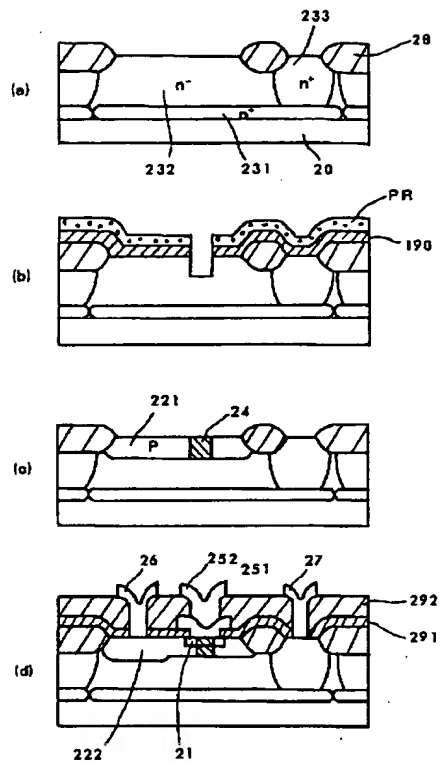
【図9】

図 9



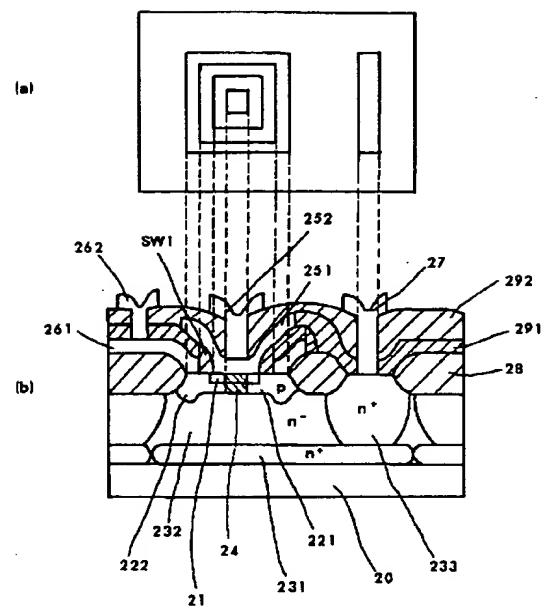
【図12】

図 12



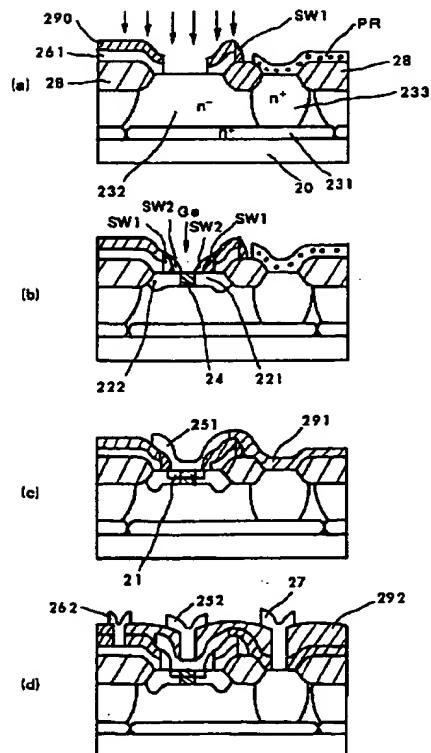
【図13】

図 13



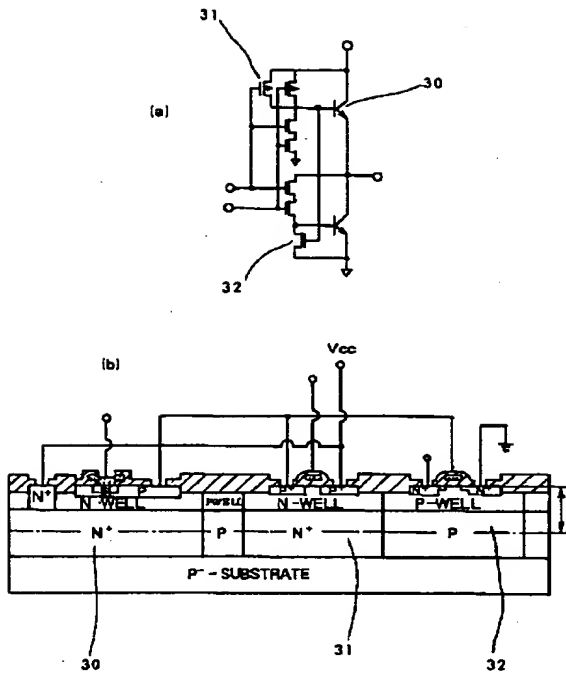
【図14】

図 14



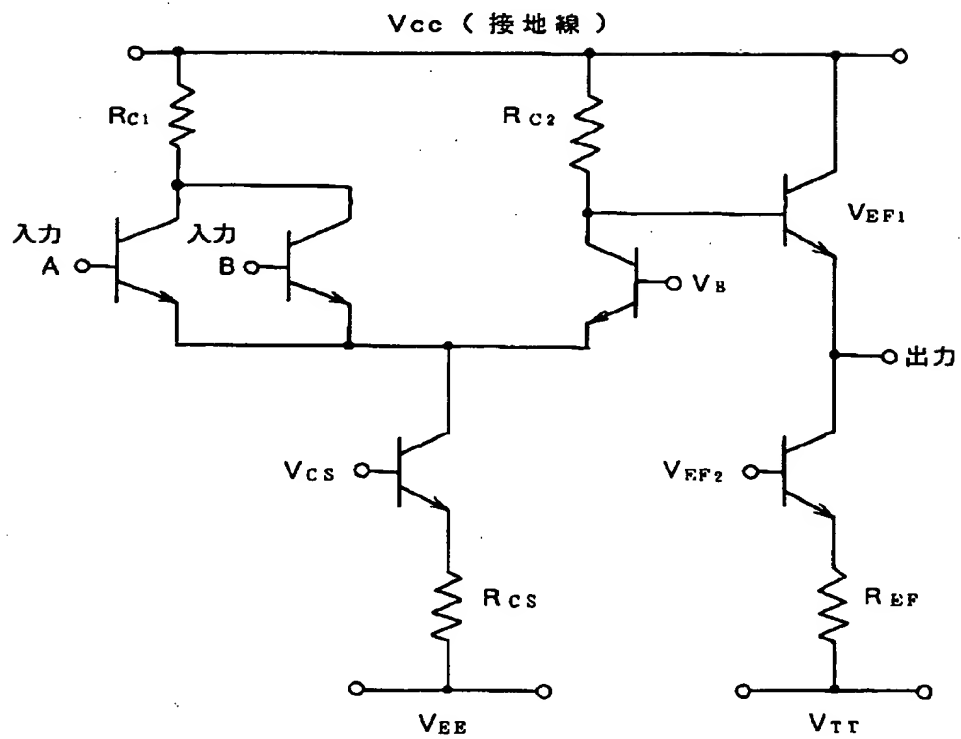
【図15】

図 15

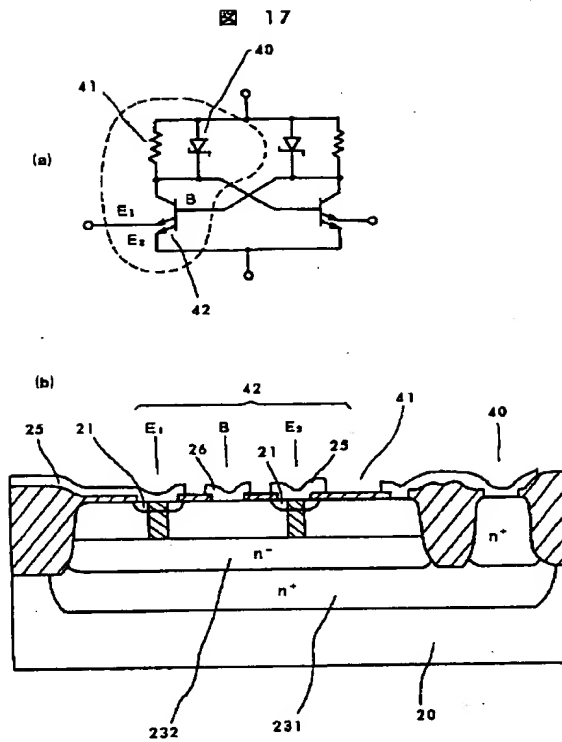


【図16】

図 16



【図17】



【図18】

図 18

